

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09244573
 PUBLICATION DATE : 19-09-97

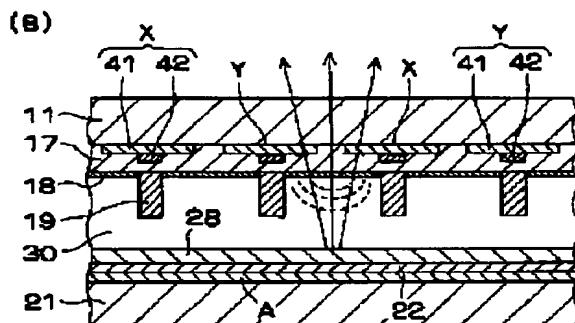
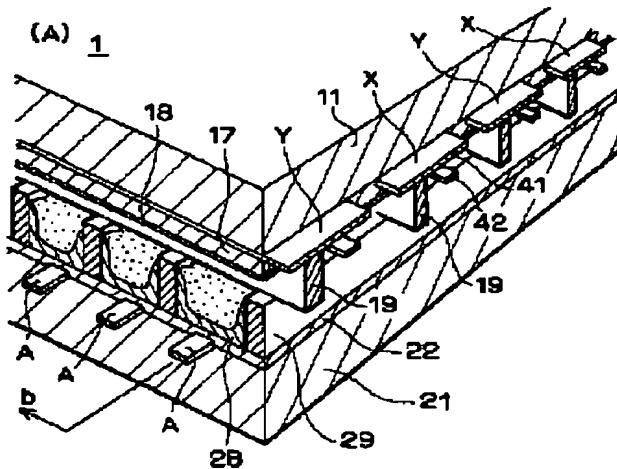
APPLICATION DATE : 06-03-96
 APPLICATION NUMBER : 08048565

APPLICANT : FUJITSU LTD;

INVENTOR : KOSAKA TADAYOSHI;

INT.CL. : G09G 3/28

TITLE : PDP DRIVING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To realize the drive of a form performing addressing operation and sustainment operation in time division and to accelerate the addressing by repeating the operation performing the addressing of line sequentiality using a wall charge and the operation simultaneously applying a sustainment voltage to all lines.

SOLUTION: The charged state that the negative polarity wall charge exists in one side in the column direction in a dielectric layer 17 in a unit light emission area and the negative polarity wall charge doesn't exist substantially in the other side, but an opposite polarity charge exists is formed in all lines, and the preparation of the addressing is finished. In such a state, when sustainment electrodes X, Y is selected a piece each successively, and a negative polarity scan pulse is applied to it, opposite discharge occurs in the line that the negative polarity wall charge exists. Then, a positive polarity erase pulse is applied to the sustainment electrodes X, Y. In such a manner, by causing erase discharge, and making disappear useless wall charge, a wall charge storage state is uniformized, and an operation margin is widened.

COPYRIGHT: (C)1997,JPO

This Page Blank (uspto)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-244573

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl.^a
G 0 9 G 3/28

識別記号
4237-5H

F I
G 0 9 G 3/28

技術表示箇所
E

審査請求 未請求 請求項の数4 OL (全8頁)

(21)出願番号 特願平8-48565

(22)出願日 平成8年(1996)3月6日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 福田 晋也

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 別井 圭一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 久保 幸雄

最終頁に続く

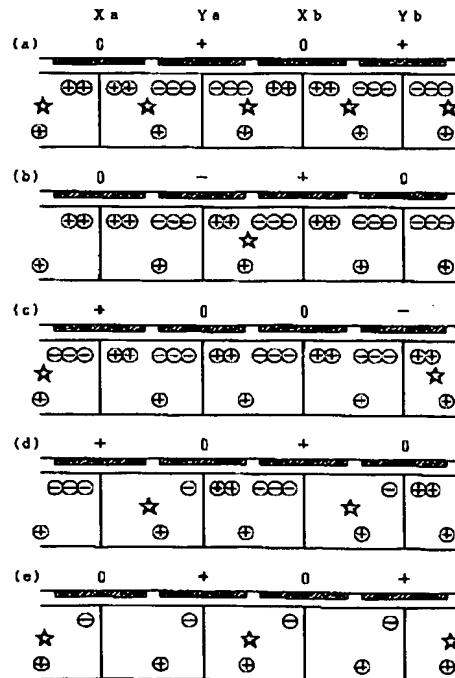
(54)【発明の名称】 PDPの駆動方法

(57)【要約】

【課題】サステイン電極を隣接する2つのラインの表示に共用する構造のPDPにおいて、アドレッシング動作とサステイン動作とを時分割で行う形式の駆動を実現し、アドレッシングの高速化を図ることを目的とする。

【解決手段】(n+1)本のサステイン電極によってライン数nマトリクス表示を行うように構成されたPDPによる表示に際して、全てのラインにおいて単位発光領域内の列方向の一方側に第1極性の壁電荷が存在し且つ他方側には実質的に第1極性の壁電荷が存在しない帶電状態を形成する第1動作と、第1極性の壁電荷を利用してライン順次のアドレッシングを行う第2動作と、全ラインに対して一齊にサステイン電圧を印加する第3動作とを繰り返す。

リセット期間における帯電状態の変化を示す模式図



【特許請求の範囲】

【請求項1】ライン方向に延びる($n+1$)本のサステイン電極によってライン数が n ($n \geq 4$)のマトリクス表示を行うように構成されたPDPの駆動方法であつて、

全てのラインにおいて単位発光領域内の列方向の一方側に第1極性の壁電荷が存在し且つ他方側には実質的に第1極性の壁電荷が存在しない帶電状態を形成する第1動作と、前記第1極性の壁電荷を利用してライン順次のアドレッシングを行う第2動作と、全ラインに対して一齊にサステイン電圧を印加する第3動作とを繰り返すことを特徴とするPDPの駆動方法。

【請求項2】前記サステイン電極を、配列方向の一端側から数えた値Kが、全ての整数Mと1つの整数mとを用いて表される、($K=1+4M+m$)の条件を満たす第1群、($K=2+4M+m$)の条件を満たす第2群、($K=3+4M+m$)の条件を満たす第3群、及び($K=4+4M+m$)の条件を満たす第4群に区分したときに、

前記第1動作が、

全てのサステイン電極間で放電を生じさせる第1ステップと、

前記第2群のサステイン電極とそれらに隣接する前記第3群のサステイン電極との間で放電を生じさせる第2ステップと、

前記第1群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間で放電を生じさせる第3ステップとからなる請求項1記載のPDPの駆動方法。

【請求項3】前記サステイン電極を、配列方向の一端側から数えた値Kが、全ての整数Mと1つの整数mとを用いて表される、($K=1+4M+m$)の条件を満たす第1群、($K=2+4M+m$)の条件を満たす第2群、($K=3+4M+m$)の条件を満たす第3群、及び($K=4+4M+m$)の条件を満たす第4群に区分したときに、

前記第1動作が、

全てのサステイン電極間で放電を生じさせる第1ステップと、

前記第2群のサステイン電極とそれらに隣接する前記第3群のサステイン電極との間で放電を生じさせる第2ステップと、

前記第1群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間で放電を生じさせる第3ステップと、

前記第1群のサステイン電極とそれらに隣接する前記第2群のサステイン電極との間、及び前記第3群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間で放電を生じさせる第4ステップと、

前記第1群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間、及び前記第2群のサステ

イン電極とそれらに隣接する前記第3群のサステイン電極との間で放電を生じさせる第5ステップとからなる請求項1記載のPDPの駆動方法。

【請求項4】前記第1動作を実行する毎に、mをその時点の値に奇数を加え又は減じた値に変更して前記サステイン電極を区分する請求項2又は請求項3記載のPDPの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面放電が生じるようサステイン電極が配置されたマトリクス表示形式のPDP(プラズマディスプレイパネル)の駆動方法に関する。

【0002】選択発光に壁電荷を利用するAC駆動形式のPDPの内、特に面放電型PDPは、蛍光体によるカラー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。

【0003】

【従来の技術】一般的な面放電型PDPでは、マトリクス表示のライン毎に一对のサステイン電極が配置されており、サステイン電極の総数は $2n$ (nはライン数)である。各サステイン電極対がライン毎に独立しているので、ライン順次のアドレッシングを容易に行うことができる。この種のPDPによる表示には、ライン順次のアドレッシング動作とサステイン電極対に交番電圧を印加するサステイン動作とを時分割で行う駆動方法が採用されている。

【0004】一方、サステイン電極を等間隔に配列し、各サステイン電極を2つのラインの表示に共用する構造の面放電型PDPが提案されている(特開平2-220330号)。サステイン電極の総数は($n+1$)である。このPDPの電極構成は、上述の一般的な面放電型PDPと比べると、サステイン電極の配列密度を高めることができるので、高精細化及び高輝度化に適している。上記の公報には、駆動方法として、アドレッシング動作とサステイン動作とを並行して行う方法が開示されている。

【0005】

【発明が解決しようとする課題】上述の一般的な面放電型PDPで採用されている駆動方法によれば、ライン走査周期をサステイン電圧の印加周期より短く設定することができるので、数百のラインの走査を行うアドレッシングの所要時間を短縮することができる。階調表示の上でアドレッシングの所要時間はできるだけ短い方がよい。また、各ラインのサステイン期間に時間的なズレがないので、動画の表示品質を高めることができる。

【0006】本発明は、サステイン電極を隣接する2つのラインの表示に共用する構造のPDPにおいて、アドレッシング動作とサステイン動作とを時分割で行う形式の駆動を実現し、アドレッシングの高速化を図ることを

目的としている。

【0007】

【課題を解決するための手段】前画面の影響を避けるには、アドレッシングに先立って壁電荷の蓄積状態を初期化しなければならない。サステイン電極対がライン毎に独立している場合には、全てのラインの帶電状態が一様であればよいので、例えば過剰の壁電荷によるいわゆる自己放電を生じさせて壁電荷を消去するだけでもよい。しかし、サステイン電極が隣接する2つのラインに跨がる場合には、帶電状態が一様であると、ライン順次のアドレッシングを行うことができない。

【0008】請求項1の発明の方法は、ライン方向に延びる($n+1$)本のサステイン電極によってライン数がn($n \geq 4$)のマトリクス表示を行うように構成されたPDPの駆動方法であって、全てのラインにおいて単位発光領域内の列方向の一方側に第1極性の壁電荷が存在し且つ他方側には実質的に第1極性の壁電荷が存在しない帶電状態を形成する第1動作と、前記第1極性の壁電荷を利用してライン順次のアドレッシングを行う第2動作と、全ラインに対して一斉にサステイン電圧を印加する第3動作とを繰り返すものである。

【0009】請求項2の発明の方法は、前記サステイン電極を、配列方向の一端側から数えた値Kが、全ての整数Mと1つの整数mとを用いて表される、($K=1+4M+m$)の条件を満たす第1群、($K=2+4M+m$)の条件を満たす第2群、($K=3+4M+m$)の条件を満たす第3群、及び($K=4+4M+m$)の条件を満たす第4群に区分したときに、前記第1動作が、全てのサステイン電極間で放電を生じさせる第1ステップと、前記第2群のサステイン電極とそれらに隣接する前記第3群のサステイン電極との間で放電を生じさせる第2ステップと、前記第1群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間で放電を生じさせる第3ステップとからなるものである。例えばmを0とし、第1ステップでは全てのラインで、第2ステップでは($2+4m$)番目の複数のラインで、第3ステップでは($4+4m$)番目の複数のラインで放電を生じさせる。

【0010】請求項3の発明の方法は、前記第1動作が、全てのサステイン電極間で放電を生じさせる第1ステップと、前記第2群のサステイン電極とそれらに隣接する前記第3群のサステイン電極との間で放電を生じさせる第2ステップと、前記第1群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間で放電を生じさせる第3ステップと、前記第1群のサステイン電極とそれらに隣接する前記第2群のサステイン電極との間、及び前記第3群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間で放電を生じさせる第4ステップと、前記第1群のサステイン電極とそれらに隣接する前記第4群のサステイン電極との間、

及び前記第2群のサステイン電極とそれらに隣接する前記第3群のサステイン電極との間で放電を生じさせる第5ステップとからなるものである。例えばmを0とし、第1ステップでは全てのラインで、第2ステップでは($2+4m$)番目の複数のラインで、第3ステップでは($4+4m$)番目の複数のラインで、第4ステップでは($1+4m$)番目の複数のライン及び($3+4m$)番目の複数のラインで、第5ステップでは($2+4m$)番目の複数のライン及び($4+4m$)番目の複数のラインで放電を生じさせる。

【0011】請求項4の発明の方法は、前記第1動作を実行する毎に、mをその時点の値に奇数を加え又は減じた値に変更して前記サステイン電極を区分するものである。

【0012】

【発明の実施の形態】図1は本発明に係るPDP1の電極構成の模式図である。PDP1では、サステイン電極X、Yがマトリクス表示領域SCの列方向に沿って交互に配列されており、ライン方向に沿ってアドレス電極Aが配列されている。サステイン電極X、Yの総数はライン数nに1を加算した値である。サステイン電極X、Yの配列間隔は、現実的な範囲の駆動電圧(例えば100~200V)で面放電を生じさせることのできる数十μm程度の寸法に選定されている。なお、実際にはサステイン電極X、Yの幅は100~200μm程度である。

【0013】各サステイン電極X、Yは、ライン順次走査を可能とするために個別電極とされている。隣接するサステイン電極X、Yどうしがサステイン電極対を構成し、1本のラインLに対応する。つまり、配列の両端を除く合計($n-1$)本のサステイン電極X、Yは、それぞれが2本のラインLの表示に用いられる。両端のサステイン電極X、Yは、1本のラインLの表示に用いられる。各ラインLにおいて、単位発光領域(サブピクセル)毎に面放電セルCが画定される。

【0014】図2はPDP1の内部構造を示す図である。図2(B)は図2(A)のb矢視断面図である。PDP1では、前面側のガラス基板11の内面にサステイン電極X、Yが配列されている。そして、これらのサステイン電極X、Yを放電空間30に対して被覆するよう、AC駆動のための誘電体層17が設けられている。誘電体層17の表面には保護膜18が蒸着されている。誘電体層17及び保護膜18はともに透光性を有している。サステイン電極X、Yは、それぞれがITO薄膜などの透明導電膜からなる幅の広い直線帶状の透明電極41と金属薄膜からなる幅の狭い直線帶状のバス電極42とから構成されている。バス電極42は、適正な導電性を確保するための補助電極であり、透明電極41の幅方向(列方向)の中央部に配置されている。そして、平面視においてバス電極42と重なるように、誘電体層17の上に隔壁19が設けられている。各隔壁19によって

放電空間30がラインL毎に区画されている。一方、背面側のガラス基板21の内面には、サステイン電極X、Yと直交するようにアドレス電極Aが配列されている。各アドレス電極Aの間に、平面視直線状の隔壁29が1つずつ設けられている。これらの隔壁29によって放電空間30がライン方向にサブピクセル毎に区画されており、前面側の隔壁19と背面側の隔壁29の当接によって放電空間30の間隙寸法が規定されている。そして、アドレス電極Aの上部及び隔壁29の側面を含めて背面側の壁面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28が設けられている。

【0015】マトリクス表示の1ラインにはサステイン電極Xの幅方向の一方側とサステイン電極Yの幅方向の他方側とが対応し、1列には1本のアドレス電極Aが対応する。そして、3列が1ピクセル（画素）EGに対応する。つまり、1ピクセルはライン方向に並ぶR、G、Bの3つのサブピクセルからなる。

【0016】アドレス電極Aとサステイン電極X、Yとの間の対向放電によって、誘電体層17の帶電状態が制御される。サステイン電極X、Yに交互にサステインパルスを印加すると、所定量の壁電荷が存在する面放電セルCで基板面に沿った面放電（主放電）が生じる。蛍光体層28は、面放電で生じた紫外線によって局部的に励起されて所定色の可視光を放つ。この可視光の内、ガラス基板11を透過する光が表示光となる。なお、隔壁29の配置パターンがいわゆるストライプパターンであることから、放電空間30の内の各列に対応した部分は、全てのラインに跨がって列方向に連続している。各列内のサブピクセルの発光色は同一である。以上の構成のPDP1は、図示しない駆動ユニットと組み合わせて、コンピュータシステムのモニター、壁掛けTVなどとして使用される。

【0017】次に、PDP1の駆動方法について説明する。図3はフィールドfの構成図であり、図4は印加電圧の波形図である。PDP1による表示に際しては、画面（1フレーム）に例えば1つのフィールドfを対応づける。ただし、テレビジョンのようにインターレース形式で走査された画面を再生する場合には、1画面（1フレーム）を表示するために2つのフィールドfを用いる。

【0018】階調表示を行うためにフィールドfを例えば8つのサブフィールドsfに分割する。さらに、各サブフィールドsfを、リセット期間TR、アドレス期間TA、及びサステイン期間TSに区分する。各サブフィールドsfにおける輝度の相対比率が例えば1：2：4：8：16：32：64：128となるように重み付けをして、各サブフィールドsfのサステイン期間TSにおける発光回数を設定する。これによりサブピクセルの階調数は256となり、ピクセルでは256³色の表示が可能である。各サブフィールドsfは、1つの階調レベルの画面表示期間である。

【0019】リセット期間TRは、前画面の点灯状態の影響を防止するとともに、ライン順次のアドレッシングを可能とするために、後述の手順で所定の帶電状態を形成する期間である。リセット期間TRにおける駆動ユニットの動作が本発明の第1動作に相当する。

【0020】アドレス期間TAは、ライン順次のアドレッシングを行う期間である。サステイン電極Xとサステイン電極Yとを区別せずに1本ずつ順に選択し、選択した電極に負極性のスキャンパルスPyを印加する。ラインの選択と同時に、点灯すべき面放電セルに対応したアドレス電極Aに対して、正極性のアドレスパルスPaを印加する。選択されたサステイン電極に対応した2つのラインの内、スキャンパルスPyと同じ負極性の壁電荷の存在する一方のラインにおいて、アドレスパルスPaの印加された面放電セルでサステイン電極とアドレス電極との間の放電が起こる。この放電によってサステイン動作に必要な帶電状態が形成される。アドレス期間TAの動作が本発明の第2動作に相当する。

【0021】サステイン期間TSは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。対向放電を防止するため、全てのアドレス電極Aを正極性の電位（例えばVs/2）にバイアスし、サステイン電極Xとサステイン電極Yとに対して交互に波高値Vsの正極性のサステインパルスPsを印加する。サステインパルスPsの印加毎に、アドレス期間TAにおいて壁電荷の蓄積したセルで面放電が生じる。サステイン期間TSの動作が本発明の第3動作に相当する。

【0022】図5はリセット期間TRにおける帶電状態の変化を示す模式図である。図中の記号「☆」は放電を表している。以下、図4及び図5を参照してリセット期間TRの動作を詳しく説明する。

【0023】リセット期間TRにおいて、サステイン電極Xは2つの電極群に分類され、サステイン電極Yも2つの電極群に分類される。つまり、サステイン電極X、Yは、4つの電極群に分類される。

【0024】第1群は、電極配列の一端側（先頭ライン側）からサステイン電極X、Yを区別せずに数えて（1+4M）番目のサステイン電極X（以下、サステイン電極Xaという）の集合である〔図1（B）参照〕。ここで、Mは0を含む正の整数である。第2群は（2+4M）番目のサステイン電極Y（以下、サステイン電極Yaという）の集合である。第3群は（3+4M）番目のサステイン電極X（以下、サステイン電極Xbという）の集合である。そして、第4群は（4+4M）番目のサステイン電極Y（以下、サステイン電極Ybという）の集合である。

【0025】まず、図4のタイミングaで例えばサステイン電極Ya、Ybに正極性の書込みパルスPwを印加し、全てのラインで放電を生じさせる。これにより、図

5 (a) のように、サステイン電極 X a, X b とサステイン電極 Y a, Y b との間では壁電荷の極性が異なり、個々のサステイン電極 X a, X b, Y a, Y b に対応する 2 つのラインの間で極性が同一である帶電状態が形成される。つまり、各サステイン電極における帶電状態は隔壁 1 9 を鏡面としてみた鏡面対称である。鏡面対称のままでは、各電極にスキャンパルス P y を印加したときに 2 つのラインが選択されてしまう。

【0026】鏡面対称性を崩すために、図 4 のタイミング b でサステイン電極 Y a に負極性のパルス P i を印加するとともに、サステイン電極 X b に正極性のパルス P i を印加する。また、図 4 のタイミング c でサステイン電極 X a に正極性のパルス P i を印加するとともに、サステイン電極 Y b に負極性のパルス P i を印加する。パルス P i, P j の波高値は、パルス P i, P j の両方が印加されたラインのみで放電が生じる程度の値に選定する [図 5 (b), (c)]。

【0027】以上の 3 段階の処理により、図 5 (c) のように、全てのラインにおいて単位発光領域内の誘電体層 1 7 における列方向の一方側に負極性の壁電荷が存在し且つ他方側には実質的に負極性の壁電荷が存在せずに逆極性（ここでは正極性）の電荷が存在する帶電状態が形成され、アドレッシングの準備が完了する。

【0028】この状態で、上述のようにサステイン電極 X a, X b, Y a, Y b を 1 本ずつ順に選択して負極性のスキャンパルス P y を印加すると、負極性の壁電荷が存在するラインで対向放電が生じる。なお、実際のライン走査は、電極配列の 2 番目のサステイン電極から順に選択すればよい。

【0029】上述の実施形態では、リセット期間 T R において図 5 (c) のような壁電荷状態を形成する駆動方法を説明したが、パネル製造の不均一性に起因しプラズマの生じ易さに依存する画素間の蓄積電荷量の差異を補うため、図 5 (c) の壁電荷状態の形成に続けて消去放電を生じさせるのが望ましい。具体的には、図 4 のタイミング d でサステイン電極 X a, X b に正極性の消去パルス P e を印加し、図 4 のタイミング e でサステイン電極 Y a, Y b に正極性の消去パルス P e を印加する。図

5 の例では、消去放電をより確実に生じさせるため、壁電荷の減衰を考慮してタイミング b で放電の生じなかつたラインから先に消去を行うように消去パルス P e の印加順序が選定されている。消去放電を生じさせて不要の壁電荷を消失させることにより、壁電荷蓄積状態が均一化され、動作マージンが広がる。

【0030】また、上述の実施形態においては、タイミング b～e におけるパルス印加の対象を固定であるものとして説明したが、周期的に変更するのが望ましい。すなわち、対象を固定とすると図 5 から明らかなように奇数番目と偶数番目のラインの間でリセット期間 T R における放電回数に差異が生じる。そこで、例えばサブフィールド s f 毎にパルス P i, P j 及び消去パルス P e の印加対象を 1 つ前のサブフィールド s f に対してシフトさせることにより、放電回数を均等化することができる。

【0031】

【発明の効果】請求項 1 乃至請求項 4 の発明によれば、サステイン電極を隣接する 2 つのラインの表示に共用する構造の PDPにおいて、アドレッシング動作とサステイン動作とを時分割で行う形式の駆動を実現し、アドレッシングの高速化を図ることができる。

【0032】請求項 4 の発明によれば、第 1 動作に係る放電の回数をライン間で均等化することができ、以前の表示の影響を軽減して各画素の輝度を均等化することができる。

【図面の簡単な説明】

【図 1】本発明に係る PDP の電極構成の模式図である。

【図 2】PDP の内部構造を示す図である。

【図 3】フィールドの構成図である。

【図 4】印加電圧の波形図である。

【図 5】リセット期間における帶電状態の変化を示す模式図である。

【符号の説明】

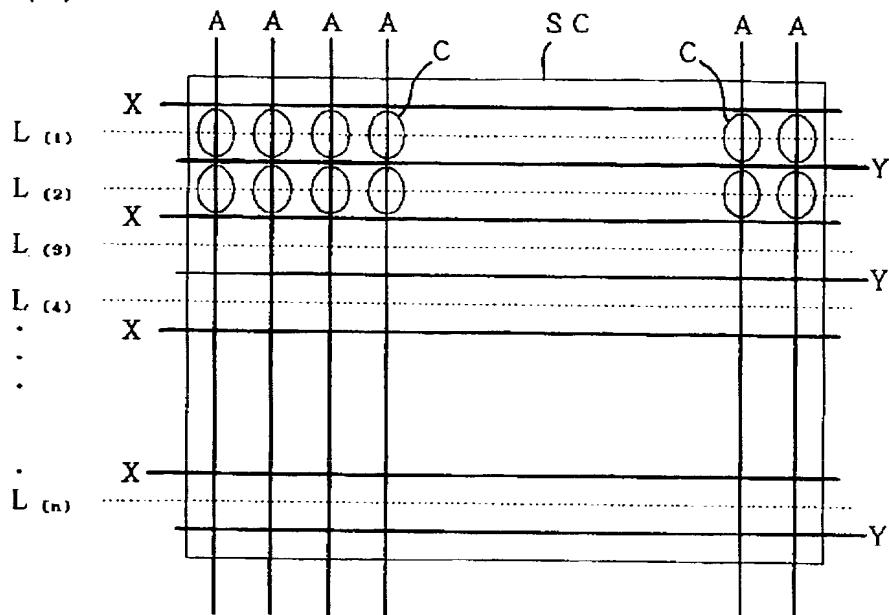
1 PDP

X, Y サステイン電極

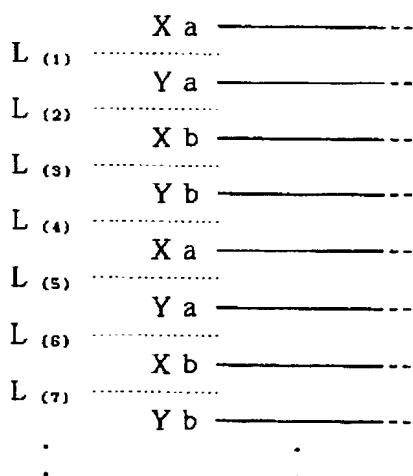
【図1】

本発明に係るPDPの電極構成の模式図

(A)

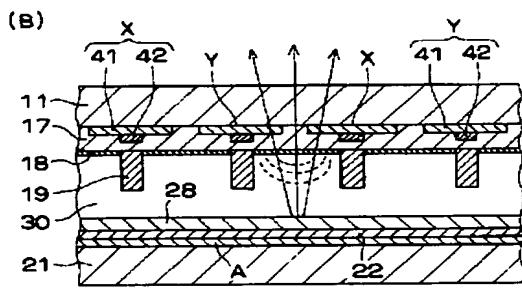
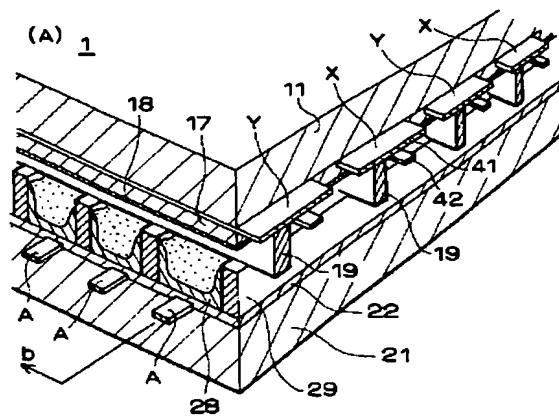


(B)

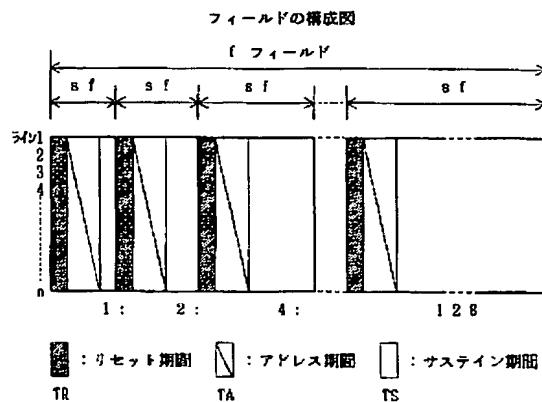


【図2】

PDPの内部構造を示す図

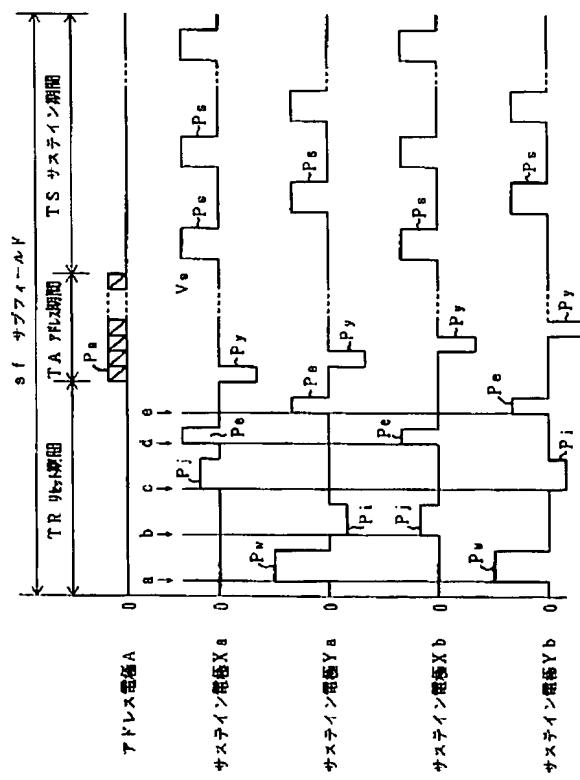


【図3】

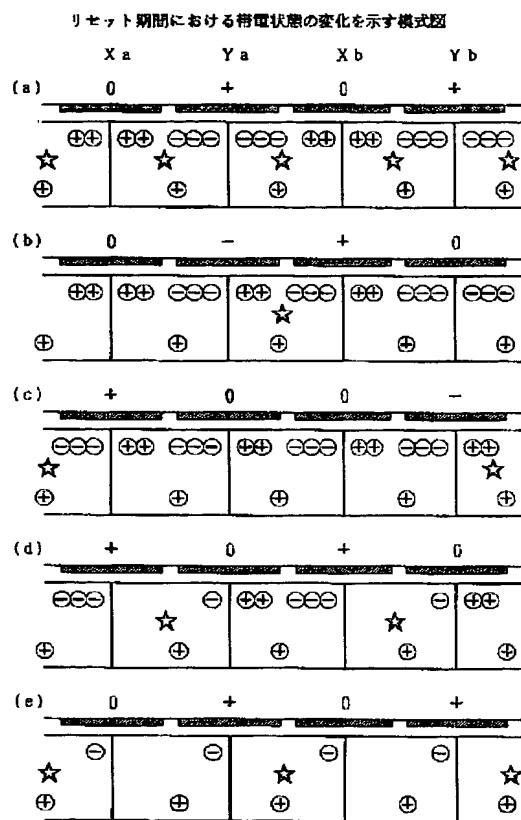


【図4】

印加電圧の波形図



【図5】



フロントページの続き

(72)発明者 豊田 治

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 小坂 忠義

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内